

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135448

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-285276

(71)Applicant : SHARP CORP

(22)Date of filing : 28.10.1996

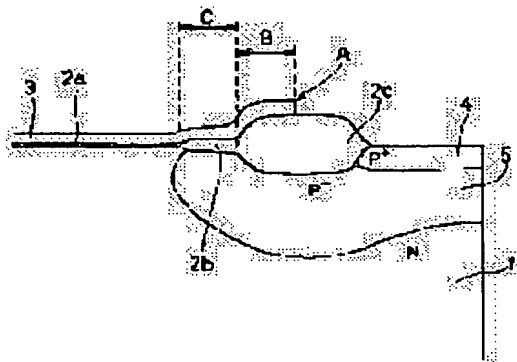
(72)Inventor : NISHIO OSAMU

## (54) MANUFACTURE OF MOS TRANSISTOR AND SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a MOS transistor having both functions of driving at a low voltage and a high withstand voltage, whose occupied area is as small as that of a conventional MOS transistor having a high withstand voltage and being driven by a high voltage.

**SOLUTION:** This transistor comprises a gate insulating film 2a, 2b, and 2c formed on a semiconductor substrate 1, a gate electrode 3, and a source/drain region 4. In this case, the gate insulating films 2a to 2c are formed so that the thickness under a part C near an end part of the gate electrode 3 is larger than the thickness under the center part of the gate electrode 3, and that the thickness under an end part B of the gate electrode 3 is much larger than the thickness under the part C near the end part of the gate electrode 3.



## LEGAL STATUS

[Date of request for examination] 21.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3230184

[Date of registration] 14.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The MOS transistor to which it is the MOS transistor which consists of the gate dielectric film, the gate electrode and the source / a drain field formed on the semi-conductor substrate, and said gate dielectric film is characterized by it being thicker than the thickness in a gate electrode central subordinate under near [ said ] the gate electrode edge, and coming to be formed in a gate electrode edge subordinate still more thickly than the thickness in the bottom near [ said ] the gate electrode edge.

[Claim 2] The MOS transistor according to claim 1 which has the low concentration diffusion field of the same conductivity type as this source / drain field in the periphery of the source / drain field, and is formed in the bottom of the field in which this low concentration diffusion field is thicker than the thickness in a gate electrode central subordinate, and gate dielectric film is formed.

[Claim 3] The MOS transistor according to claim 1 or 2 which has thickness with the gate dielectric film of the bottom near [ which is formed more thickly than the thickness in a gate electrode central subordinate ] the gate electrode edge more sufficient than a gate electrode center section to acquire high pressure-proofing and a high threshold, and has thickness comparable as thickness with a gate electrode edge subordinate's sufficient gate dielectric film currently formed more thickly than the thickness in the bottom near the gate electrode edge to perform isolation.

[Claim 4] The manufacture approach of the semiconductor device which consists of an MOS transistor according to claim 1 being formed at least on the same substrate as a high proof-pressure high threshold MOS transistor, and forming the gate dielectric film of the bottom near [ thicker than the thickness in the gate electrode central subordinate of said MOS transistor ] the gate electrode edge on the occasion of manufacture of a semiconductor device at the same process as gate-dielectric-film formation of said high proof-pressure high threshold MOS transistor.

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is the manufacture approach of the semiconductor device which comes to have the MOS transistor which has gate dielectric film which a low-battery drive is more possible in a detail, and is high pressure-proofing, and this MOS transistor about the manufacture approach of an MOS transistor and a semiconductor device.

[0002]

[Description of the Prior Art] dozens from the former — the high proof-pressure MOS transistor driven with V or more power-source potentials was shown in drawing 6 (e) — as — several — high pressure-proofing-ization is realized by making a change on the following structures compared with the usual MOS transistor driven with about V power-source potential.

[0003] \*\* Thicken gate dielectric film. That is, in a high proof-pressure MOS transistor, since the high potential difference arises also between the gate electrode 3, a substrate 1, or a well, destruction of gate dielectric film is prevented by thickening gate dielectric film. In addition, when it is the transistor with which it is supposed that destruction of gate dielectric film will be happened if the reinforcement of the electric field in the interior of an insulator layer exceeds several MV/cm, for example, 100V are impressed to the gate electrode 3, the thickness of indispensable gate dielectric film is about 200nm. Moreover, especially the edge of gate dielectric film usually overlaps the source / drain field 4, and the insulator layer under a gate electrode endmost part is specially thickened at least from it being easy to concentrate especially electric field on the interior of the insulator layer of this part (inside of drawing 6 (e), 7c).

[0004] \*\* Make loose change of the high impurity concentration of the source / drain field 4 circumference.

Thereby, the junction proof pressure (electrical potential difference which the abnormal occurrence of the carrier in a PN junction does not produce) in the PN-junction section can mainly be raised. By the usual low-battery drive MOS, the substrate 1 or the well has about three about 10<sup>17</sup> atoms/cm high impurity concentration, and is formed there with the high impurity concentration whose source / drain fields 4 are about three about 10<sup>20</sup> atoms/cm. these — for example, the case of a PMOS transistor — the source / drain field 4 — a P-type semiconductor, a substrate 1, or a well — since the field is formed in the field of an N-type semiconductor and the mold which disagrees with each other, change of the high impurity concentration in the boundary part is steep (the shape of a phase). Therefore, when an electrical potential difference is impressed between the source / drain field 4, a substrate 1, or a well, electric field concentrate on this boundary part (PN junction), carrier generating phenomena, such as impact ionization, become easy to happen, and pressure-proofing of a PN junction becomes about 10-20V at most.

[0005] On the other hand, the field where concentration is lower than the source / drain field 4 (for example, about three 10<sup>18</sup> atoms/cm) is formed in the perimeter of the source / drain field 4 with the same conductivity type as the source / drain field 4 so that change of high impurity concentration may become loose from the source / drain field 4 toward a substrate 1 or a well (the inside of drawing 6 (e), 5). thereby — the source / drain field 4, a substrate 1, or a well — since concentration of the electric field in a part for the joint of a between is eased and carrier generating phenomena, such as impact ionization, stop being able to happen easily, pressure-proofing can be made to improve

[0006] The manufacture approach of the high proof-pressure PMOS transistor which adds two kinds of amelioration, above \*\* and \*\*, and is produced is explained based on drawing 6. First, as shown in drawing 6 (a), SiN film 6 is formed on a silicon substrate 1. Subsequently, with the field which forms a component demarcation membrane, as shown in drawing 6 (b), SiN film 6 in a 1.5 micrometers - about 3 micrometers field including the both endmost parts of the field in which a gate electrode is formed is removed in the field which forms a thick insulator layer, i.e., a back process. Then, boron ion is poured in by using as a mask SiN film 6 in which opening was formed, and P type field 5a is formed in silicon substrate 1 front face.

[0007] Then, as shown in drawing 6 (c), selective oxidation is performed by using SiN film 6 as a mask, and gate-dielectric-film 7c with a thickness of about 1 micrometer is formed in opening of SiN film 6. In addition, in the case of this oxidization, the boron ion poured in previously will be spread and the low concentration P type field 5 will be formed in a gate-dielectric-film 7c lower part. This low concentration P type field 5 is used as a part which makes loose change of the high impurity concentration which finally faces to a substrate 1 from the source / drain field.

[0008] Then, as shown in drawing 6 (d), SiN film 6 is removed and the gate electrode 3 by the polish recon of a

**THIS PAGE BLANK (USPTO)**

desired configuration is formed through gate-dielectric-film 7b of about 200nm of thickness. Then, the high concentration P type field which pours boron ion into a desired field and turns into the source / drain field 4 is formed, using the gate electrode 3 as a mask.

[0009]

[Problem(s) to be Solved by the Invention] A liquid crystal display is so good that the electrical potential difference which drives liquid crystal is high in a scope, and, moreover, can make a screen large-sized. On the other hand, logic parts other than the transistor which drives liquid crystal become that it is [ detailed-izing ] more possible for the logical circuit of the usual low battery (for example, about 5V) to constitute, and can reduce the area of LSI.

Therefore, by LSI which carried the transistor which drives a large-sized liquid crystal display, and the logical circuit in one chip, it is required that a high proof-pressure MOS transistor should be controlled with the transistor of the usual low battery. And in the connection part of the high-voltage system for such a liquid crystal display drive, and the low-battery system which constitutes a logical circuit, although it is controllable by the low battery and only a low battery is impressed to the transistor from which the output of the high voltage is obtained, i.e., the gate, the transistor which can impress the high voltage is needed for the source/drain.

[0010] However, in the case of an above-mentioned high proof-pressure MOS transistor,  $|V_{th}|$  is usually as high as about 3-4V from gate dielectric film being thick, for example, since what (ON/OFF is carried out) this high proof-pressure MOS transistor is driven for by the logical circuit of 5V system does not have the good controllability, it cannot be said to be the property which can be satisfied practical from the field of the amount of currents, or a speed of operation.

[0011] That is, as a transistor used for the connection part of a high-voltage system and a low-battery system, the high proof-pressure MOS transistor which has  $|V_{th}|$  (for example,  $|V_{th}|=0.6V-0.8V$ ) comparable as the transistor of a low-battery drive is demanded from the point of the ease of constituting of the amount of currents, a speed of operation, and a circuit.

[0012]

[Means for Solving the Problem] According to this invention, it is the MOS transistor which consists of the gate dielectric film, the gate electrode and the source / a drain field formed on the semi-conductor substrate, and under near [ said ] the gate electrode edge, said gate dielectric film is thicker than the thickness in a gate electrode central subordinate, and offers the MOS transistor which it comes to form still more thickly than the thickness in the bottom near [ said ] the gate electrode edge by the gate electrode edge subordinate.

[0013] Moreover, the above-mentioned MOS transistor is formed at least on the same substrate as a high proof-pressure high threshold MOS transistor, and faces manufacture of a semiconductor device. The manufacture approach of the semiconductor device which consists of forming the gate dielectric film of the bottom near [ thicker than the thickness in the gate electrode central subordinate of said MOS transistor ] the gate electrode edge at the same process as gate-dielectric-film formation of said high proof-pressure high threshold MOS transistor is offered.

[0014]

[Embodiment of the Invention] In this invention, the high proof-pressure MOS transistor of a low-battery drive is realized by observing the potential distribution inside the conventional MOS transistor using simulation, and clarifying the item which specifies pressure-proofing. In the conventional high proof-pressure MOS transistor mentioned above, since only an about [ 5V ] electrical potential difference is impressed to the gate, if it thinks simply and will remove thickening the part with which the gate, and the source / drain field have lapped, it is thought that it is not necessary to thicken the whole gate dielectric film. Therefore, it is possible that gate dielectric film is made into thin thickness comparable as the MOS transistor of the usual low-battery drive, and uses as a thick film only the part with which the gate, and the source / drain field lap (refer to drawing 4 (a)). However, with such structure, even pressure-proofing of the source / drain field will fall.

[0015] That is, as shown in drawing 4 (b), thicken gate-dielectric-film 7b other than a gate electrode edge subordinate with about 200nm, and it is formed into high pressure-proofing. When -55V are impressed to 0V and a drain 14 at the source (not shown) and the gate 13, the potential distribution inside an MOS transistor As shown in potential line 16b — it can set in the simulation of drawing 4 (b) — impact ionization occurs in a part with narrow spacing of equipotential-line 16b (namely, part with high field strength).

[0016] When gate-dielectric-film 7a other than a gate electrode edge subordinate is made thin with about 20nm on the other hand as shown in drawing 4 (a), and the same electrical potential difference as the above is impressed to the source, the gate, and a drain, the potential distribution inside an MOS transistor comes to be shown in potential line 16a — it can set in the simulation of drawing 4 R> 4 (a). In a part with narrow spacing of equipotential-line 16a (namely, part with high field strength), it is narrower than spacing of equipotential-line 16a of drawing 4 (b), and it turns out that electric field are high more.

[0017] [ when the part especially surrounded with the ellipse in drawing 4 (a) and drawing 4 (b) is compared and gate-dielectric-film 17b is the MOS transistor which is about 200nm ] As opposed to potential carrying out 10V grade change into gate-dielectric-film 17b, and the electric field in the part drain 14 being eased When gate-dielectric-film 17a is the MOS transistor which is about 20nm, it turns out that there is almost no change of the potential in the inside of gate-dielectric-film 17a, therefore the electric field of the drain 14 interior are strong.

[0018] In addition, as shown in drawing 4 (a) and drawing 4 (b), it is because the strongest part of electric field spread more greatly than the field in which gate-dielectric-film 17c was formed for the low concentration field 15 formed in order that not directly under [ of gate-dielectric-film 17c ] but being shifted a little to the channel side

**THIS PAGE BLANK (USPTO)**



might ease electric field and has reached gate-dielectric-film 17a or 17b lower part. As the manufacture process of above-mentioned drawing 6 explained, this phenomenon is a phenomenon produced inevitably in which the impurity ion previously poured in with localized-oxidation-of-silicon oxidation is spread, and unless the process itself is changed, it is unavoidable.

[0019] Moreover, while making it large to several more micrometers – about 10 micrometers, without changing the structure of a transistor, for example, making thick gate-dielectric-film 7c with a thickness of about 1 micrometer into die length of 1.5 micrometers – about 3 micrometers from gate electrode 13 conventional endmost part, some proof-pressure improvements are expected by lengthening the low concentration field for easing electric field in connection with it. However, according to this approach, since the die length between the source / drain field becomes large, the current which flows a transistor decreases, and the phenomenon which is not desirable is brought about on circuit actuation. In order to compensate it on the other hand — the channel width of a transistor — large — not carrying out — it does not obtain but there is a problem that the area which a transistor occupies after all will become one several times [ twice to ] the magnitude of this compared with the former.

[0020] The part which electric field concentrate directly under [ near / by the side of the drain of gate dielectric film / the edge ] occurred, the abnormal occurrence of carriers, such as impact ionization, arose from the above-mentioned simulation result in this part, and having influenced junction pressure-proofing was checked. Then, this invention can realize the MOS transistor of high pressure-proofing and a low-battery drive by being thicker than the thickness in a gate electrode central subordinate under near the gate electrode edge, and forming gate dielectric film by the gate electrode edge subordinate still more thickly than the thickness in the bottom near the gate electrode edge.

[0021] An MOS transistor consists of the gate dielectric film, the gate electrode and the source / a drain field formed on the semi-conductor substrate in this invention. Especially as a semi-conductor substrate, although not limited, a silicon substrate is desirable. Moreover, one or more impurity diffusion fields (well) of P type or N type may be formed in this semi-conductor substrate, and the MOS transistor may be formed in this field.

[0022] The MOS transistor in this invention may be included in what kinds, such as LSI for a drive of a liquid crystal display, a logical circuit, and a circumference circuit of a semiconductor memory, of semiconductor devices. Under near the gate electrode edge, it is thicker than the thickness in a gate electrode central subordinate, and is formed by the gate electrode edge subordinate still more thickly than the thickness in the bottom near the gate electrode edge so that it may be high pressure-proofing and a low threshold can be realized as gate dielectric film. That is, the gate dielectric film in the MOS transistor of this invention is equipped with at least three sorts of thickness parts, and has the structure thickness-ized gradually or in inclination from a gate-dielectric-film center section, applying to the periphery section. In addition, in this invention, vocabulary, such as a low-battery drive, a high-voltage drive, an inside electrical-potential-difference drive, a low threshold, a high threshold, low pressure-proofing, high pressure-proofing, and inside pressure-proofing, is synonymous with the semantics currently generally used in the field concerned. With a low-battery drive, for example, about 1.5–5V and with a high-voltage drive Although it means, respectively that about 5–15V will break with having about 0.3–0.8V with the things and low threshold which can be driven on an about [ 40–100V ] electrical potential difference, and having an about [ 2–4V ] region with a high threshold, and low pressure-proofing, and an about [ 50–200V ] electrical potential difference will break with high pressure-proofing etc. When it is not necessarily limited to these values and two or more values are compared, it is the semantics which also includes the case where it is expressed as quantity into low.

[0023] the thickness of the gate dielectric film in a gate electrode central subordinate — usually — several — it has the thickness which can be driven with about V power-source potential, and about 10–25nm is mentioned. Moreover, gate dielectric film thicker than the gate dielectric film of the gate electrode central subordinate of the bottom near the gate electrode edge In the location which electric field tend to concentrate especially when an electrical potential difference is impressed to the source / drain field of an MOS transistor It is required to have sufficient thickness to be formed by sufficient thickness to ease this electric-field concentration, and acquire high pressure-proofing and a high threshold rather than the gate dielectric film of a gate electrode center section. The thickness of applied voltage, the size an MOS transistor's, the high impurity concentration the source / drain field's, and a gate electrode central subordinate's gate dielectric film etc. can adjust suitably. For example, in the case of about 50–100V, about 200–400nm thickness is mentioned. Moreover, as for the location, die length of about 0.5–1.5 micrometers is mentioned toward a gate electrode center section from the location of about 1–2 micrometers from for example, a gate electrode endmost part (refer to C among drawing 1 ). The purpose that the die length of the gate dielectric film of this thickness eases electric field with short \*\* past \*\* and gate dielectric film will not be attained here, but  $|V_{th}|$  of the MOS transistor which will be obtained if too long will go up conversely, and it is not desirable. Therefore, the location and die length in which the gate dielectric film of this thickness is formed need to optimize in order to satisfy a demand of these both sides. In addition, the thickness of this gate dielectric film can ease field strength further, if it thickens.

[0024] Furthermore, gate dielectric film still thicker than the thickness in the bottom near the gate electrode edge in a gate electrode edge is sufficient thickness to acquire pressure-proofing and threshold high enough, and when it is put in another way, it is desirable [ gate dielectric film ] to have thickness comparable as sufficient thickness to perform isolation. Although the above various conditions can also adjust this thickness and die length suitably, it is desirable to form from a gate electrode endmost part by about 800–1500nm thickness by die length (to refer to B among drawing 1 ) of about 1–2 micrometers, for example.

[0025] In addition, in \*\*\*\*, although the MOS transistor which has gate dielectric film which has three sorts of

**THIS PAGE BLANK (USPTO)**

thickness of the thickness corresponding to the so-called gate dielectric film and the so-called component demarcation membrane of the usual low-battery drive MOS transistor and a high proof-pressure MOS transistor was explained, in this invention, the MOS transistor which has gate dielectric film which has four or more sorts of thickness which combined the thickness corresponding to gate dielectric film, such as an inside proof-pressure MOS transistor, an MOS transistor of further low pressure-proofing, and an MOS transistor of further high pressure-proofing, is also included.

[0026] Especially as a gate electrode of the MOS transistor in this invention, it is not limited, and the polycide by polish recon, silicide with a refractory metal, these silicide, and polish recon etc. can be chosen suitably, and can use the ingredient. Moreover, especially the thickness is not limited, either and about 100–500nm is mentioned.

[0027] As the source / a drain field, it is not limited especially, and what is formed with about [ 1x1020 to 5x1021cm<sup>-3</sup> ] three high impurity concentration is mentioned. Moreover, in this invention, it is desirable to have the low concentration diffusion field of the same conductivity type as the source / drain field in the periphery of the source / drain field. Concentration of the electric field in a part for the joint between the source / drain field, a substrate, or a well is eased by such existence of a low concentration diffusion field, carrier generating phenomena, such as impact ionization, stop being able to happen easily, and pressure-proofing can be raised. As for the high impurity concentration of this low concentration diffusion field, about [ 1017–1019cm<sup>-3</sup> ] three are mentioned. Furthermore, as for this low concentration diffusion field, it is desirable that gate dielectric film is formed even over the bottom near [ which is formed more thickly than the thickness in a gate electrode central subordinate ] the gate electrode edge.

[0028] The MOS transistor of this invention can be formed according to the same process as the process which manufactures these two sorts of MOS transistors, when annexed with the MOS transistor which has two sorts of threshold voltage. That is, the MOS transistor of this invention is (i). On a semi-conductor substrate The impurity of a different conductivity type from the impurity range which formed in the desired field the 1st silicon nitride film which has opening, and was formed in the substrate or the substrate by using this 1st silicon nitride film as a mask is poured in. (ii) While forming the gate dielectric film of the thick film (thickness comparable as a component demarcation membrane) which continues and should be formed directly under a gate electrode edge of the 1st selective oxidation by using this 1st silicon nitride film as a mask The impurity poured in previously is diffused and a low concentration field is formed (iii), after removing the 1st silicon nitride film, newly form in a desired field the 2nd silicon nitride film which has opening, and this 2nd silicon nitride film is used as a mask. The gate dielectric film of a thick film (sufficient thickness to acquire high pressure-proofing and a high threshold) is formed a little. it should be formed directly under near the gate electrode edge of the 2nd selective oxidation — (iv) After removing the 2nd silicon nitride film, sequential formation of the gate dielectric film of a thin film (it is the thickness which can be driven at a low battery), and the gate electrode can be carried out all over a substrate top, and it can form by forming the source / drain field as a high concentration field in the low concentration field formed previously. Therefore, in the above-mentioned process, the gate-dielectric-film formation process of the high threshold MOS transistor of the MOS transistors in which the gate dielectric film formed of the 1st selective oxidation has two sorts of threshold voltage, and the gate dielectric film with which it is formed of the 2nd selective oxidation can be formed at the same process as the gate-dielectric-film formation process of the low threshold MOS transistor of the MOS transistors which have two sorts of threshold voltage.

[0029] The MOS transistor of this invention is explained below. The MOS transistor of this invention consists of gate-dielectric-film 2a formed on the semi-conductor substrate 1, 2b, 2c, a gate electrode 3, and the source / drain field 4, as shown in drawing 1. It goes to gate electrode 3 center section from the endmost part A of the gate electrode 3. Directly under [ to the location of about 1.2 micrometers / gate electrode 3 edge B ] Gate-dielectric-film 2c of about 1000nm of thickness is arranged, and it goes to gate electrode 3 center section from the location of about 1.2 micrometers from gate electrode 3 endmost part. Directly under [ to the location of about 2.2 micrometers / near the gate electrode 3 edge / C ] In order to ease the electric field of the part and to realize high pressure-proofing, gate-dielectric-film 2b of about 200nm of thickness is arranged. To the central subordinate of the gate electrode 3 | In order that  $V_{th}$  may realize a low low-battery drive, gate-dielectric-film 2a of about 20nm thickness is arranged, and gate-dielectric-film 2a, 2b, and 2c are formed in one.

[0030] Gate-dielectric-film 2a shown in drawing 1, 2b, and the current potential property of the MOS transistor which has 2c were measured. The result is shown in drawing 2. Moreover, the current potential property of the MOS transistor of the thickness whose gate dielectric film of a gate electrode central subordinate shown in drawing 4 (a) is about 20nm as an example of a comparison, and the thickness whose gate dielectric film of a gate electrode edge subordinate is about 1000nm was measured.

[0031] At the MOS transistor of this invention, it turns out to having pressure-proofing of -85V that it has only pressure-proofing of -55V, but pressure-proofing of the MOS transistor in the example of this invention is improved sharply by the MOS transistor of the example of a comparison. Next, the manufacture approach for realizing this structure is explained. First, as shown in drawing 3 (a), SiN film 6 which has opening with a die length of about 1.5–3 micrometers is formed near the field in which the both endmost parts of the field where a gate electrode is formed on a silicon substrate 1 are located, boron ion is poured in about [ 1013–1015cm<sup>-3</sup> ] two by using the SiN film 6 as a mask, and P type field 5a is formed in silicon substrate 1 front face.

[0032] Then, as shown in drawing 3 (b), while performing selective oxidation by using SiN film 6 as a mask and forming oxide film 2c with a thickness of about 1 micrometer in opening of SiN film 6, the low concentration P type field 5 is formed in an oxide film 2c lower part by diffusion of the boron ion poured in previously. Subsequently, after

**THIS PAGE BLANK (USPTO)**

removing SiN film 6, about 0.5–1.5-micrometer opening is formed in SiN film 8 on the field in which it is located near the edge of the field in which SiN film 8 is newly formed in and a gate electrode is formed.

[0033] Then, as shown in drawing 3 (c), selective oxidation is performed by using SiN film 8 as a mask, and oxide-film 2b with a thickness of about 200nm is formed in opening of SiN film 8. A silicon film 8 is removed. Then, as shown in drawing 3 (d), gate-dielectric-film 2a of about 20nm of thickness is formed, and the gate electrode 3 by the polish recon of a desired configuration is formed through gate-dielectric-film 2a, 2b, and 2c.

[0034] Subsequently, as shown in drawing 3 (e), the high concentration P type field which pours boron ion into a desired field and turns into the source / drain field 4 is formed, using the gate electrode 3 as a mask. In case it forms in the same chip which has a high proof-pressure high threshold MOS transistor and a low-battery drive MOS transistor, the gate-dielectric-film formation process in the MOS transistor of above-mentioned this invention is only changing or adding the configuration of opening of the mask to be used, and it can realize at the same process and it can control the rise of a manufacturing cost.

[0035] That is, first, with a component isolation region, after forming the gate dielectric film of the thick film directly under a gate electrode edge in a desired field for example, by the LOCOS method, the silicon nitride film used as a mask is removed. Subsequently, opening is formed in the gate electrode edge field in the MOS transistor formation field of this invention, i.e., the field which forms the gate dielectric film of a thick film a little, while forming an SiN film all over a substrate top and forming opening in the gate electrode formation field in a high proof-pressure high threshold MOS transistor formation field, as shown in the process flow of drawing 5. The gate dielectric film for high pressure-proofing of thickness, for example, about 200nm thickness, is formed a little in the field which performed and carried out opening of the selective oxidation using the SiN film in which these openings were formed.

[0036] Then, an SiN film is removed and a thin film, for example, about 20nm gate dielectric film, is formed all over a substrate top. By this, in a high proof-pressure high threshold MOS transistor formation field, additional formation of the gate dielectric film of a thin film is carried out at the whole gate dielectric film, in a low-battery drive MOS transistor formation field, the gate dielectric film of a thin film will be formed and sequential formation of the gate dielectric film which has three sorts of thickness will be carried out in one in the MOS transistor formation field of this invention.

[0037]

[Effect of the Invention] Since it comes to form gate dielectric film from the part which has at least three sorts of thickness according to this invention, it can have the function of both a drive and high pressure-proofing by the low battery, and the MOS transistor in an occupancy area comparable as a certain high proof-pressure high-voltage drive MOS transistor can be realized from the former.

[0038] Moreover, when the MOS transistor of this invention is put side by side with a high proof-pressure high threshold MOS transistor and the usual low-battery drive MOS transistor, in the case of manufacture of these MOS transistors, it can form according to the same process, without adding a process in any way only by changing or adding the mask shape for gate-dielectric-film formation, and the rise of a manufacturing cost can be controlled.

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline sectional view showing the important section of the MOS transistor of this invention.

[Drawing 2] It is drawing showing the current potential property of the MOS transistor of this invention, and the MOS transistor of the example of a comparison.

[Drawing 3] It is the outline sectional view of an important section showing the production process of the MOS transistor of this invention.

[Drawing 4] It is the outline sectional view of the important section for explaining internal field distribution of an MOS transistor in case the thickness of gate dielectric film differs.

[Drawing 5] It is a process flow for explaining the MOS transistor and production process of this invention.

[Drawing 6] It is the outline sectional view of an important section showing the production process of the conventional high proof-pressure PMOS transistor.

[Description of Notations]

1 11 Semi-conductor substrate

2a, 2b, 2c Gate dielectric film

3 13 Gate electrode

4 14 The source / drain field

5 15 Low concentration diffusion field

6 Eight SiN film

7a, 7b, 7c, 17a, 17b, 17c Gate dielectric film

16a, 16b Equipotential line

A Gate electrode endmost part

B Gate electrode edge

C A near gate electrode edge

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135448

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/78

識別記号

F I  
H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平8-285276

(22) 出願日 平成 8 年(1996)10月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 西尾 修

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

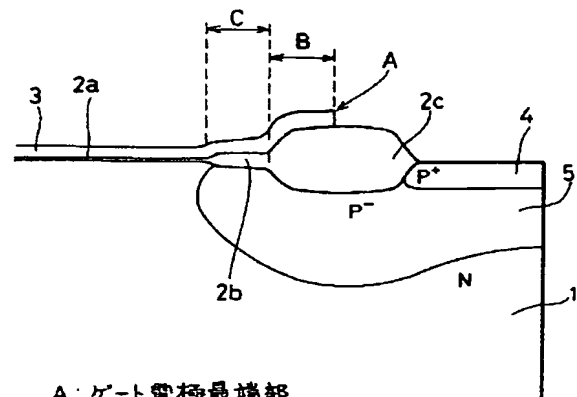
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 MOSトランジスタ及び半導体装置の製造方法

(57) 【要約】

【課題】 低電圧で駆動と高耐圧との両方の機能を備え、かつ従来からある高耐圧高電圧駆動MOSトランジスタと同程度の占有面積でのMOSトランジスタを実現すること。

【解決手段】 半導体基板 1 上に形成されたゲート絶縁膜 2 a、2 b、2 c、ゲート電極 3 及びソース/ドレイン領域 4 とからなるMOSトランジスタであって、前記ゲート絶縁膜が、ゲート電極端部近傍 C 下ではゲート電極 3 中央部下での膜厚よりも厚く、ゲート電極端部 B 下ではゲート電極端部近傍 C 下での膜厚よりもさらに厚く形成されてなるMOSトランジスタ。



A: ゲート電極最端部

B: ゲート電極端部

C: ゲート電極端部近傍

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されたゲート絶縁膜、ゲート電極及びソース／ドレイン領域とからなるMOSトランジスタであって、前記ゲート絶縁膜が、前記ゲート電極端部近傍下ではゲート電極中央部下での膜厚よりも厚く、ゲート電極端部下では前記ゲート電極端部近傍下での膜厚よりもさらに厚く形成されてなることを特徴とするMOSトランジスタ。

【請求項2】 ソース／ドレイン領域の周辺部に、該ソース／ドレイン領域と同じ導電型の低濃度拡散領域を有しており、該低濃度拡散領域が、ゲート絶縁膜がゲート電極中央部下での膜厚よりも厚く形成されている領域下まで形成されている請求項1記載のMOSトランジスタ。

【請求項3】 ゲート電極中央部下での膜厚よりも厚く形成されているゲート電極端部近傍下のゲート絶縁膜が、ゲート電極中央部よりも高耐圧かつ高閾値を得るのに十分な膜厚を有し、ゲート電極端部近傍下での膜厚よりも厚く形成されているゲート電極端部下のゲート絶縁膜が、素子分離を行うのに十分な膜厚と同程度の膜厚を有している請求項1又は2記載のMOSトランジスタ。

【請求項4】 請求項1記載のMOSトランジスタが、少なくとも高耐圧高閾値MOSトランジスタと同一基板上に形成されて半導体装置の製造に際して、前記高耐圧高閾値MOSトランジスタのゲート絶縁膜形成と同一工程で前記MOSトランジスタのゲート電極中央部下での膜厚よりも厚いゲート電極端部近傍下のゲート絶縁膜を形成することからなる半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、MOSトランジスタ及び半導体装置の製造方法に関し、より詳細には、低電圧駆動が可能で高耐圧であるゲート絶縁膜を有するMOSトランジスタ及びこのMOSトランジスタを備える半導体装置の製造方法。

## 【0002】

【従来の技術】 従来から、数十V以上の電源電位で駆動される高耐圧MOSトランジスタは、図6(e)に示したように、数V程度の電源電位で駆動される通常のMOSトランジスタに比べて次のような構造上の変更を行うことにより高耐圧化を実現している。

【0003】 ①ゲート絶縁膜を厚くする。つまり、高耐圧MOSトランジスタでは、ゲート電極3と基板1又はウェルの間にも高い電位差が生じるため、ゲート絶縁膜を厚くすることにより、ゲート絶縁膜の破壊を防止する。なお、ゲート絶縁膜の破壊は、絶縁膜内部における電界の強度が数MV/cmを越えると起こるとされており、例えばゲート電極3に100Vが印加されるラン

ジスタの場合には、最低限必要なゲート絶縁膜の厚さは約200nmである。また、特にゲート絶縁膜の端部は通常ソース／ドレイン領域4と重なり合っており、この部分の絶縁膜内部に電界が特に集中しやすいことから、少なくともゲート電極最端部下の絶縁膜を特別に厚くしている(図6(e)中、7c)。

【0004】 ②ソース／ドレイン領域4周辺の不純物濃度の変化を緩やかにする。これにより、主としてPN接合部における接合耐圧(PN接合におけるキャリアの異常発生が生じない電圧)を向上させることができる。通常の低電圧駆動MOSでは、基板1又はウェル等は約 $10^{17}$  atoms/cm<sup>3</sup>程度の不純物濃度を有しており、そこにソース／ドレイン領域4が約 $10^{20}$  atoms/cm<sup>3</sup>程度の不純物濃度で形成されている。これらは、例えばPMOSトランジスタの場合、ソース／ドレイン領域4がP型半導体、基板1又はウェル領域がN型半導体と、お互いに相反する型の領域で形成されているため、その境界部分における不純物濃度の変化は急峻(段階状)である。従って、ソース／ドレイン領域4と基板1又はウェルとの間に電圧を印加した場合には、この境界部分(PN接合)に電界が集中してインパクトイオン化等のキャリア発生現象が起こりやすくなり、PN接合の耐圧は、せいぜい10~20V程度となる。

【0005】 これに対し、ソース／ドレイン領域4から基板1又はウェルに向かって不純物濃度の変化が緩やかとなるよう、ソース／ドレイン領域4と同じ導電型で、ソース／ドレイン領域4よりも濃度が低い(例えば $10^{18}$  atoms/cm<sup>3</sup>程度)領域をソース／ドレイン領域4の周囲に形成する(図6(e)中、5)。これによりソース／ドレイン領域4と基板1又はウェル間の接合部分における電界の集中が緩和されてインパクトイオン化等のキャリア発生現象が起こりにくくなるため、耐圧を向上させることができることとなる。

【0006】 上記の①及び②の2種類の改良を加えて作製される高耐圧PMOSトランジスタの製造方法を図6に基づいて説明する。まず、図6(a)に示したように、シリコン基板1上にSiN膜6を形成する。次いで、素子分離膜を形成する領域とともに、図6(b)に示したように、厚い絶縁膜を形成する領域、すなわち後工程で、ゲート電極が形成される領域の両最端部を含む $1.5\mu\text{m}\sim 3\mu\text{m}$ 程度の領域にあるSiN膜6を除去する。その後、開口部を形成したSiN膜6をマスクとしてボロンイオンを注入し、シリコン基板1表面にP型領域5aを形成する。

【0007】 続いて、図6(c)に示したように、SiN膜6をマスクとして選択酸化を行い、SiN膜6の開口部に厚さ $1\mu\text{m}$ 程度のゲート絶縁膜7cを形成する。なお、この酸化の際に、先に注入したボロンイオンが拡散し、ゲート絶縁膜7c下方に低濃度P型領域5が形成されることとなる。この低濃度P型領域5は、最終的に

ソース／ドレイン領域から基板1に向かう不純物濃度の変化を緩やかにする部分として用いられる。

【0008】その後、図6(d)に示したように、SiN膜6を除去し、膜厚200nm程度のゲート絶縁膜7bを介して、所望の形状のポリシリコンによるゲート電極3を形成する。続いて、ゲート電極3をマスクとして用いて、所望の領域にボロイオンを注入してソース／ドレイン領域4となる高濃度P型領域を形成する。

【0009】

【発明が解決しようとする課題】液晶ディスプレイは、液晶を駆動する電圧が高いほどディスプレイの画面を良く、しかも画面を大型にすることができる。一方、液晶を駆動するトランジスタ以外のロジック部分は通常の低電圧（例えば5V程度）の論理回路によって構成する方が微細化が可能となりLSIの面積が縮小できる。従って、大型液晶ディスプレイを駆動するトランジスタとロジック回路とを1つのチップに搭載したLSIでは、高耐圧MOSトランジスタを通常の低電圧のトランジスタによってコントロールすることが要求される。そして、このような液晶ディスプレイ駆動用の高電圧系と論理回路を構成する低電圧系との接続部分においては、低電圧で制御可能であり、かつ、高電圧の出力の得られるトランジスタ、すなわち、ゲートには低電圧しか印加されないが、ソース／ドレインには高電圧が印加可能なトランジスタが必要となる。

【0010】しかし、上述の高耐圧MOSトランジスタの場合には、ゲート絶縁膜が厚いことから通常は $|V_{th}|$ が3~4V程度と高く、例えば5V系の論理回路によりこの高耐圧MOSトランジスタを駆動する（ON/OFFさせる）ことは、制御性が良くないため、電流量や動作スピードという面からは実用的に満足できる特性とは言えない。

【0011】つまり、高電圧系と低電圧系との接続部分に用いるトランジスタとしては、電流量、動作スピード及び回路の構成し易さという点から、低電圧駆動のトランジスタと同程度の $|V_{th}|$ （例えば、 $|V_{th}| = 0.6V \sim 0.8V$ ）を有する高耐圧MOSトランジスタが要求されている。

【0012】

【課題を解決するための手段】本発明によれば、半導体基板上に形成されたゲート絶縁膜、ゲート電極及びソース／ドレイン領域とからなるMOSトランジスタであって、前記ゲート絶縁膜が、前記ゲート電極端部近傍下ではゲート電極中央部下での膜厚よりも厚く、ゲート電極端部下では前記ゲート電極端部近傍下での膜厚よりもさらに厚く形成されてなるMOSトランジスタを提供する。

【0013】また、上記MOSトランジスタが、少なくとも高耐圧高閾値MOSトランジスタと同一基板上に形成されて半導体装置の製造に際して、前記高耐圧高閾

値MOSトランジスタのゲート絶縁膜形成と同一工程で前記MOSトランジスタのゲート電極中央部下での膜厚よりも厚いゲート電極端部近傍下のゲート絶縁膜を形成することからなる半導体装置の製造方法が提供される。

【0014】

【発明の実施の形態】本発明においては、従来のMOSトランジスタ内部の電位分布を、シミュレーションを用いて観察し、耐圧を規定する項目を明らかにすることによって、低電圧駆動の高耐圧MOSトランジスタを実現するものである。上述した従来の高耐圧MOSトランジスタにおいては、ゲートには5V程度の電圧しか印加されないため、単純に考えれば、ゲートとソース／ドレイン領域とが重なっている部分を厚くすることを除いては、ゲート絶縁膜全体を厚くする必要はないと考えられる。よって、ゲート絶縁膜は、通常の低電圧駆動のMOSトランジスタと同程度の薄い膜厚にし、ゲートとソース／ドレイン領域とが重なる部分のみを厚膜とすることが考えられる（図4(a)参照）。ところが、そのような構造では、ソース／ドレイン領域の耐圧までもが低下してしまうこととなる。

【0015】つまり、図4(b)に示したようにゲート電極端部下以外のゲート絶縁膜7bを200nm程度と厚くして高耐圧化し、ソース（図示せず）及びゲート13に0V、ドレイン14には-5.5Vを印加した場合、MOSトランジスタ内部の電位分布は、図4(b)のシミュレーションにおける等電位線16bに示されたように、等電位線16bの間隔の狭い部分（すなわち電界強度の高い部分）ではインバクティオン化が発生する。

【0016】一方、図4(a)に示したようにゲート電極端部下以外のゲート絶縁膜7aを20nm程度と薄くし、ソース、ゲート、ドレインに上記と同様の電圧を印加した場合、MOSトランジスタ内部の電位分布は、図4(a)のシミュレーションにおける等電位線16aに示されたようになる。等電位線16aの間隔の狭い部分（すなわち電界強度の高い部分）では、図4(b)の等電位線16aの間隔よりも狭く、より電界が高くなっていることがわかる。

【0017】特に、図4(a)及び図4(b)における楕円で囲まれた部分を比較すると、ゲート絶縁膜17bが200nm程度のMOSトランジスタの場合においては、ゲート絶縁膜17b中において電位が10V程度変化しており、その分ドレイン14内の電界が緩和されているのに対し、ゲート絶縁膜17aが20nm程度のMOSトランジスタの場合には、ゲート絶縁膜17a中での電位の変化はほとんどなく、そのためドレイン14内部の電界が強くなっていることがわかる。

【0018】なお、図4(a)及び図4(b)に示したように、電界の最も強い部分が、ゲート絶縁膜17cの直下ではなく、幾分チャネル側にずれているのは、電界を緩和するために形成された低濃度領域15が、ゲート

絶縁膜17cが形成された領域よりも大きく広がってゲート絶縁膜17a又は17b下方に達しているためである。この現象は、上述の図6の製造プロセスで説明したように、ロコス酸化に伴って先に注入した不純物イオンが拡散するという必然的に生じる現象であり、プロセスそのものを変更しない限り避けることができない。

【0019】また、トランジスタの構造を変更し、例えば厚さ1 $\mu$ m程度の厚いゲート絶縁膜7cを、従来のゲート電極13最端部から長さ1.5 $\mu$ m $\sim$ 3 $\mu$ m程度とせずに、さらに数 $\mu$ m $\sim$ 10 $\mu$ m程度にまで大きくするとともに、電界を緩和するための低濃度領域もそれに伴って長くすることにより、いくらかの耐圧改善が期待される。しかし、この方法によれば、ソース/ドレイン領域間の長さが大きくなるためトランジスタを流れる電流が少なくなり、回路動作上好ましくない現象をもたらす。一方、それを補うためにトランジスタのチャネル幅を大きくせざるを得ず、結局トランジスタの占有する面積が従来に比べて2倍 $\sim$ 数倍の大きさとなってしまうという問題がある。

【0020】上記のシミュレーション結果から、ゲート絶縁膜のドレイン側の端部近傍の直下に電界の集中する部分が発生し、この部分においてインパクトイオン化等のキャリアの異常発生が起これ、接合耐圧に影響していることが確認された。そこで本発明は、ゲート絶縁膜を、ゲート電極端部近傍下ではゲート電極中央部下での膜厚よりも厚く、ゲート電極端部下ではゲート電極端部近傍下での膜厚よりもさらに厚く形成することにより、高耐圧かつ低電圧駆動のMOSトランジスタを実現することができる。

【0021】本発明において、MOSトランジスタは、半導体基板上に形成されたゲート絶縁膜、ゲート電極及びソース/ドレイン領域とからなる。半導体基板としては、特に限定されるものではないが、シリコン基板が好ましい。また、この半導体基板にはP型又はN型の不純物拡散領域(ウェル)が1つ以上形成されていてもよい。

【0022】本発明におけるMOSトランジスタは、例えば、液晶表示装置の駆動用LSI、ロジック回路、半導体記憶装置の周辺回路等、どのような種類の半導体装置に組み込まれていてもよい。ゲート絶縁膜としては、高耐圧でかつ低閾値を実現することができるように、ゲート電極端部近傍下ではゲート電極中央部下での膜厚よりも厚く、ゲート電極端部下ではゲート電極端部近傍下での膜厚よりもさらに厚く形成されている。つまり、本発明のMOSトランジスタにおけるゲート絶縁膜は、少なくとも3種の膜厚部分を備えており、ゲート絶縁膜中央部から外周部にかけて段階的又は傾斜的に膜厚化する構造を有している。なお、本発明において、低電圧駆動、高電圧駆動、中電圧駆動、低閾値、高閾値、低耐圧、高

耐圧、中耐圧等の用語は、一般に当該分野で使用されている意味と同義である。例えば、低電圧駆動とは、1.5 $\sim$ 5V程度、高電圧駆動とは、40 $\sim$ 100V程度の電圧で駆動が可能なこと、低閾値とは0.3 $\sim$ 0.8V程度、高閾値とは2 $\sim$ 4V程度の域を有すること、低耐圧とは5 $\sim$ 15V程度、高耐圧とは50 $\sim$ 200V程度の電圧により破壊されてしまうこと等をそれぞれ表すが、必ずしもこれらの値に限定されるものではなく、2以上の値を比較した場合に低、中、高として表される場合をも包含する意味である。

【0023】ゲート電極中央部下におけるゲート絶縁膜の膜厚は、通常数V程度の電源電位で駆動することができる膜厚を有するものであり、例えば、10 $\sim$ 25nm程度が挙げられる。また、ゲート電極端部近傍下における、ゲート電極中央部下のゲート絶縁膜よりも厚いゲート絶縁膜は、MOSトランジスタのソース/ドレイン領域に電圧を印加した場合に特に電界が集中しやすい位置において、この電界集中を緩和するのに十分な膜厚で形成されており、かつゲート電極中央部のゲート絶縁膜よりも高耐圧かつ高閾値を得るのに十分な膜厚を有していることが必要であり、印加電圧、MOSトランジスタのサイズ、ソース/ドレイン領域の不純物濃度、ゲート電極中央部下のゲート絶縁膜の膜厚等によって、適宜調整することができる。例えば、50 $\sim$ 100V程度の場合には、200 $\sim$ 400nm程度の膜厚が挙げられる。また、その位置は、例えば、ゲート電極最端部から1 $\sim$ 2 $\mu$ m程度の位置からゲート電極中央部に向かって0.5 $\sim$ 1.5 $\mu$ m程度の長さが挙げられる(図1中、C参照)。ここで、この膜厚のゲート絶縁膜の長さが短かすぎると、ゲート絶縁膜によって電界を緩和するという目的が達成されず、逆に、長すぎると、得られるMOSトランジスタの $|V_{th}|$ が上昇することとなり好ましくない。よって、この膜厚のゲート絶縁膜が形成される位置及び長さは、これら双方の要求を満足するために最適化することが必要である。なお、このゲート絶縁膜の膜厚は、厚くすれば電界強度を一層緩和することができる。

【0024】さらに、ゲート電極端部における、ゲート電極端部近傍下での膜厚よりもさらに厚いゲート絶縁膜は、十分に高い耐圧及び閾値を得るのに十分な膜厚であり、言い換えると素子分離を行うのに十分な膜厚と同程度の膜厚を有していることが好ましい。この膜厚及び長さも、上記のような種々の条件により適宜調整することができるが、例えば800 $\sim$ 1500nm程度の膜厚で、ゲート電極最端部から1 $\sim$ 2 $\mu$ m程度の長さ(図1中、B参照)で形成することが好ましい。

【0025】なお、上述においては、いわゆる通常の低電圧駆動MOSトランジスタと高耐圧MOSトランジスタとのゲート絶縁膜及び素子分離膜に対応する膜厚の3種の膜厚を有するゲート絶縁膜を有するMOSトランジ

10

20

30

40

50

スタを説明したが、本発明においては、中耐圧MOSトランジスタ、さらに低耐圧のMOSトランジスタ、さらに高耐圧のMOSトランジスタ等のゲート絶縁膜に対応する膜厚を組み合わせた4種以上の膜厚を有するゲート絶縁膜を有するMOSトランジスタをも包含するものである。

【0026】本発明におけるMOSトランジスタのゲート電極としては、特に限定されるものではなく、ポリシリコン、高融点金属とのシリサイド、これらシリサイドとポリシリコンとによるポリサイド等、その材料は適宜選択して用いることができる。また、その膜厚も特に限定されるものではなく、例えば100~500nm程度が挙げられる。

【0027】ソース/ドレイン領域としても、特に限定されるものではなく、例えば $1 \times 10^{19} \sim 5 \times 10^{21} \text{ cm}^{-3}$ 程度の不純物濃度で形成されているものが挙げられる。また、本発明においては、ソース/ドレイン領域の周辺部に、ソース/ドレイン領域と同じ導電型の低濃度拡散領域を有していることが好ましい。このような低濃度拡散領域の存在により、ソース/ドレイン領域と基板又はウェル等との間の接合部分における電界の集中が緩和されてインパクトイオン化等のキャリア発生現象が起りにくくなり、耐圧を向上させることができる。この低濃度拡散領域の不純物濃度は、例えば、 $10^{17} \sim 10^{19} \text{ cm}^{-3}$ 程度が挙げられる。さらに、この低濃度拡散領域は、ゲート絶縁膜がゲート電極中央部下での膜厚よりも厚く形成されているゲート電極端部近傍下にまでわたって形成されていることが好ましい。

【0028】本発明のMOSトランジスタは、2種の閾値電圧を有するMOSトランジスタと併設される場合には、これら2種のMOSトランジスタを製造する工程と同一工程によって形成することができる。つまり、本発明のMOSトランジスタは、(i)半導体基板上に、所望の領域に開口を有する第1窒化シリコン膜を形成し、この第1窒化シリコン膜をマスクとして基板又は基板に形成された不純物領域とは異なる導電型の不純物を注入し、(ii)続いてこの第1窒化シリコン膜をマスクとして、第1選択酸化によりゲート電極端部直下に形成されるべき厚膜(素子分離膜と同程度の膜厚)のゲート絶縁膜を形成するとともに、先に注入された不純物を拡散させて低濃度領域を形成し、(iii)第1窒化シリコン膜を除去した後、新たに所望の領域に開口を有する第2窒化シリコン膜を形成し、この第2窒化シリコン膜をマスクとして、第2選択酸化によりゲート電極端部近傍直下に形成されるべきやや厚膜(高耐圧かつ高閾値を得るのに十分な膜厚)のゲート絶縁膜を形成し、(iv)第2窒化シリコン膜を除去した後、基板上全面に薄膜(低電圧で駆動が可能な膜厚)のゲート絶縁膜、ゲート電極を順次形成し、先に形成された低濃度領域内に高濃度領域としてソース/ドレイン領域を形成することにより形成するこ

とができる。よって、上記工程において、第1選択酸化により形成されるゲート絶縁膜は、2種の閾値電圧を有するMOSトランジスタの内の高閾値MOSトランジスタのゲート絶縁膜形成工程と、第2選択酸化により形成されるゲート絶縁膜は、2種の閾値電圧を有するMOSトランジスタの内の低閾値MOSトランジスタのゲート絶縁膜形成工程と同一の工程で形成することができる。

【0029】以下に本発明のMOSトランジスタを説明する。本発明のMOSトランジスタは、図1に示したように、半導体基板1上に形成されたゲート絶縁膜2a、2b、2c、ゲート電極3及びソース/ドレイン領域4とからなる。ゲート電極3の最端部Aからゲート電極3中央部に向かって1.2 $\mu\text{m}$ 程度の位置までのゲート電極3端部B直下には、膜厚1000nm程度のゲート絶縁膜2cが配置され、ゲート電極3最端部から1.2 $\mu\text{m}$ 程度の位置からゲート電極3中央部に向かって2.2 $\mu\text{m}$ 程度の位置までのゲート電極3端部近傍C直下には、その部分の電界を緩和して高耐圧を実現するために膜厚200nm程度のゲート絶縁膜2bが配置され、ゲート電極3の中央部下には、 $|V_{th}|$ が低い低電圧駆動を実現するために20nm程度の膜厚のゲート絶縁膜2aが配置されており、ゲート絶縁膜2a、2b及び2cは一体的に形成されている。

【0030】図1に示したゲート絶縁膜2a、2b、2cを有するMOSトランジスタの電流電圧特性を測定した。その結果を図2に示す。また、比較例として、図4(a)に示した、ゲート電極中央部下のゲート絶縁膜が20nm程度の膜厚、かつゲート電極端部下のゲート絶縁膜が1000nm程度の膜厚のMOSトランジスタの電流電圧特性を測定した。

【0031】本発明のMOSトランジスタでは、-85Vの耐圧を有しているのに対し、比較例のMOSトランジスタでは-55Vの耐圧しか有しておらず、本発明の実施例におけるMOSトランジスタの耐圧が大幅に改善されていることがわかる。次に、この構造を実現するための製造方法について説明する。まず、図3(a)に示したように、シリコン基板1上にゲート電極が形成される領域の両最端部が位置する領域近傍に、長さ1.5~3 $\mu\text{m}$ 程度の開口を有するSiN膜6を形成し、そのSiN膜6をマスクとしてボロンイオンを $10^{17} \sim 10^{19} \text{ cm}^{-3}$ 程度注入して、シリコン基板1表面にP型領域5aを形成する。

【0032】続いて、図3(b)に示したように、SiN膜6をマスクとして選択酸化を行い、SiN膜6の開口部に厚さ1 $\mu\text{m}$ 程度の酸化膜2cを形成するとともに、先に注入したボロンイオンの拡散により酸化膜2c下方に低濃度P型領域5を形成する。次いで、SiN膜6を除去した後、新たにSiN膜8を形成し、ゲート電極が形成される領域の端部近傍に位置する領域上のSiN膜8に0.5~1.5 $\mu\text{m}$ 程度の開口を形成する。

【0033】その後、図3(c)に示したように、SiN膜8をマスクとして選択酸化を行い、SiN膜8の開口部に厚さ200nm程度の酸化膜2bを形成する。シリコン膜8を除去する。続いて、図3(d)に示したように、膜厚20nm程度のゲート絶縁膜2aを形成し、ゲート絶縁膜2a、2b及び2cを介して、所望の形状のポリシリコンによるゲート電極3を形成する。

【0034】次いで、図3(e)に示したように、ゲート電極3をマスクとして用いて、所望の領域にボロニオンを注入してソース／ドレイン領域4となる高濃度P型領域を形成する。上記の本発明のMOSトランジスタにおけるゲート絶縁膜形成工程は、高耐圧高閾値MOSトランジスタと低電圧駆動MOSトランジスタとを有する同一チップに形成する際に、使用するマスクの開口の形状を変更又は追加することのみで、同一工程で実現することができ、製造コストの上昇を抑制することができる。

【0035】すなわち、まず、素子分離領域とともに、ゲート電極端部直下の厚膜のゲート絶縁膜を、所望の領域に、例えばLOCOS法により形成した後、マスクとして用いた窒化シリコン膜を除去する。次いで、図5のプロセスフローに示したように、基板上全面にSiN膜を形成し、高耐圧高閾値MOSトランジスタ形成領域におけるゲート電極形成領域に開口を形成するとともに、本発明のMOSトランジスタ形成領域におけるゲート電極端部領域、つまりやや厚膜のゲート絶縁膜を形成する領域に開口を形成する。これら開口を形成したSiN膜を用いて選択酸化を行い、開口した領域にやや膜厚、例えば約200nm厚の高耐圧用ゲート絶縁膜を形成する。

【0036】続いて、SiN膜を除去して、基板上全面に薄膜、例えば約20nmのゲート絶縁膜を形成する。これにより、高耐圧高閾値MOSトランジスタ形成領域においては、ゲート絶縁膜全体に、薄膜のゲート絶縁膜が追加形成され、低電圧駆動MOSトランジスタ形成領域では、薄膜のゲート絶縁膜が形成され、本発明のMOSトランジスタ形成領域では、3種の膜厚を有するゲート絶縁膜が一体的に順次形成されることとなる。

【0037】

【発明の効果】本発明によれば、ゲート絶縁膜が少なく

とも3種の膜厚を有する部分から形成されてなるため、低電圧で駆動と高耐圧との両方の機能を備え、かつ従来からある高耐圧高電圧駆動MOSトランジスタと同程度の占有面積でのMOSトランジスタを実現することができる。

【0038】また、本発明のMOSトランジスタが、高耐圧高閾値MOSトランジスタと、通常の低電圧駆動MOSトランジスタとともに併設される場合には、これらMOSトランジスタの製造の際に、ゲート絶縁膜形成のためのマスク形状を変更又は追加するのみで、何ら工程を追加することなく同一工程により形成することができ、製造コストの上昇を抑制することができる。

【図面の簡単な説明】

【図1】本発明のMOSトランジスタの要部を示す概略断面図である。

【図2】本発明のMOSトランジスタと比較例のMOSトランジスタとの電流電圧特性を示す図である。

【図3】本発明のMOSトランジスタの製造工程を示す要部の概略断面図である。

【図4】ゲート絶縁膜の膜厚が異なる場合のMOSトランジスタの内部電界分布を説明するための要部の概略断面図である。

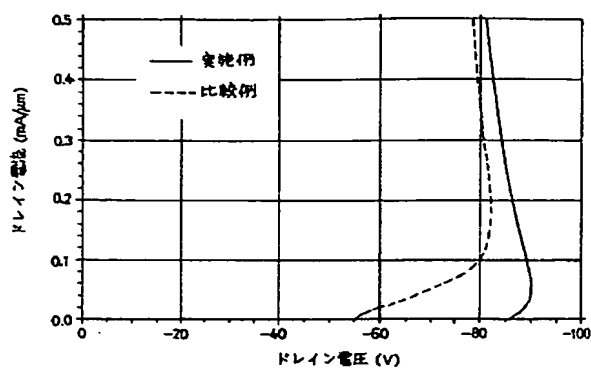
【図5】本発明のMOSトランジスタと製造工程を説明するためのプロセスフローである。

【図6】従来の高耐圧PMOSトランジスタの製造工程を示す要部の概略断面図である。

【符号の説明】

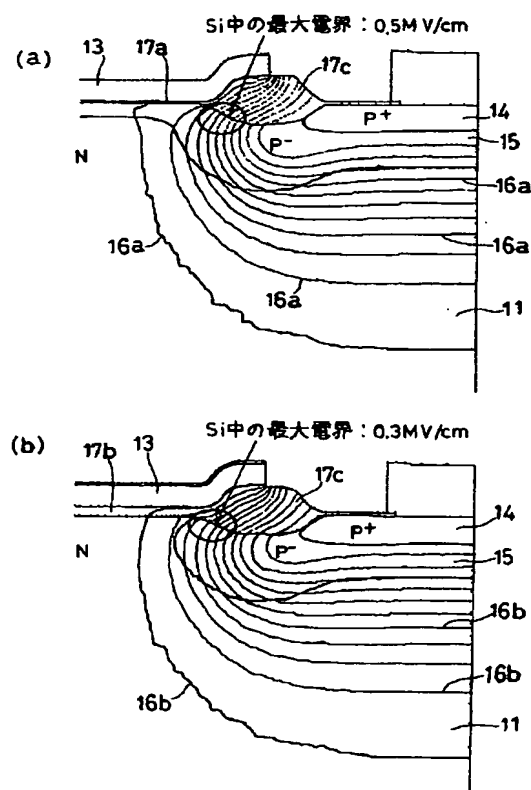
- 1、11 半導体基板
- 2a、2b、2c ゲート絶縁膜
- 3、13 ゲート電極
- 4、14 ソース／ドレイン領域
- 5、15 低濃度拡散領域
- 6、8 SiN膜
- 7a、7b、7c、17a、17b、17c ゲート絶縁膜
- 16a、16b 等電位線
- A ゲート電極最端部
- B ゲート電極端部
- C ゲート電極端部近傍

【圖2】

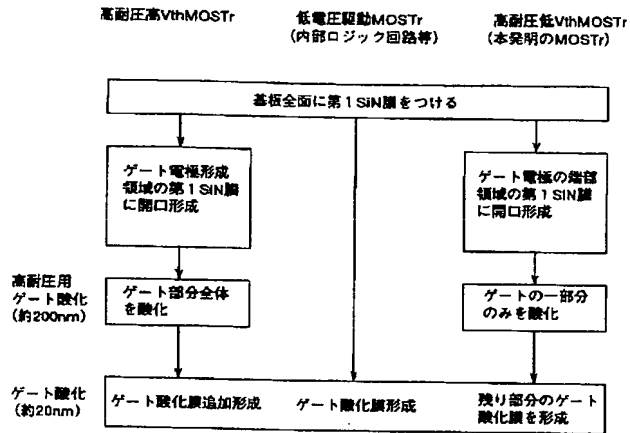


A: ゲート電極最端部  
B: ゲート電極端部  
C: ゲート電極端部近傍

【図4】



【図5】



【図6】

